

(2)

特開平9-102607

1

【特許請求の範囲】

【請求項1】 半導体材料と、前記半導体材料の表面に形成された溝の中に配置されたゲートと、保護拡散領域とを含むトレンチゲートパワーMOSFETであって、

前記溝によって複数のMOSFETセルが画定され、前記MOSFETセルの各々は第1導電型のソース領域と前記ソース領域に隣接した第2導電型のボディ領域とを含んでおり、

前記ソース領域と前記ボディ領域は前記溝の側面に接しており、

前記保護拡散領域は第2導電型であり、第1導電型の領域に隣接してダイオードを形成しており、前記ダイオードが前記MOSFETセルの各々のチャネル領域に対し並列に接続されていることを特徴とするMOSFET。

【請求項2】 前記溝がダイオードセルを画定しており、前記保護拡散領域が前記ダイオードセル内に配置されていることを特徴とする請求項1に記載のMOSFET。

【請求項3】 前記半導体材料が、基板と、前記基板の表面上に形成されたエピタキシャル層とを含むことを特徴とする請求項2に記載のMOSFET。

【請求項4】 前記溝の底面が前記エピタキシャル層内に位置し、前記基板と前記エピタキシャル層との境界から離隔していることを特徴とする請求項3に記載のMOSFET。

【請求項5】 前記保護拡散領域の底面が前記エピタキシャル層内に位置し、前記基板と前記エピタキシャル層との境界から離隔していることを特徴とする請求項4に記載のMOSFET。

【請求項6】 前記保護拡散領域が前記MOSFETセルの各々の前記ソース領域と短絡されていることを特徴とする請求項5に記載のMOSFET。

【請求項7】 前記ダイオードセルを複数含み、前記ダイオードセルが前記ゲートによって形成された格子内に規則的な間隔で配置されていることを特徴とする請求項2に記載のMOSFET。

【請求項8】 各ダイオードセルにつき予め定められた数の前記MOSFETがあることを特徴とする請求項7に記載のMOSFET。

【請求項9】 前記溝の底面が前記基板内に位置していることを特徴とする請求項3に記載のMOSFET。

【請求項10】 前記保護拡散領域の底面が前記基板

2

していることを特徴とする請求項2に記載のMOSFET。

【請求項13】 前記溝がストライプ状のセルの格子を形成していることを特徴とする請求項2に記載のMOSFET。

【請求項14】 前記ゲートがゲート酸化膜によって前記半導体材料から分離されており、前記ダイオードが前記ゲート酸化膜に損傷を与えるような電圧より低いブレークダウン電圧を有することを特徴とする請求項9に記載のMOSFET。

【請求項15】 前記ダイオードセルに於いて、エピタキシャル層内の第1導電型の領域によって前記保護拡散領域が前記基板から分離されていることを特徴とする請求項11に記載のMOSFET。

【請求項16】 トレンチゲートパワーMOSFETであって、基板と前記基板表面に形成されたエピタキシャル層とを含む半導体材料と、

前記エピタキシャル層の表面に形成され前記基板内にまで延在する溝の中に配置され、前記半導体材料から酸化膜によって分離されたゲートとを有し、

前記溝によって複数のMOSFETセルが画定され、前記MOSFETセルの各々は第1導電型のソース領域と前記ソース領域に隣接した第2導電型のボディ領域とを含んでおり、

前記ソース領域と前記ボディ領域は前記溝の側面に接しており、

前記ボディ領域は第1導電型のドレイン領域に隣接しており、前記ボディ領域と前記ドレイン領域とのPN接合によってダイオードが形成されており、

前記ダイオードが前記酸化膜に損傷を与えるような電圧より低いブレークダウン電圧を有していることを特徴とするMOSFET。

【請求項17】 前記MOSFETセルの各々に於いて、前記ボディ領域が前記ソース領域に短絡されていることを特徴とする請求項16に記載のMOSFET。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパワー電界効果トランジスタに関する。特に、シリコン表面に形成されたトレンチ（溝）内にゲートが配置された、酸化金属シリコン電界効果トランジスタ（MOSFET）に関する。

【0002】

(3)

特開平9-102607

3

4

の側面に隣接して形成されるバーチカルチャネル内を流れる。溝には導電性のゲート材料（通常、ドーピングされたポリシリコン）が充填され、ゲート材料は誘電体層（通常、二酸化シリコン）によってシリコンから絶縁される。

【0003】パワーMOSFETの2つの重要な特性は、ブレイクダウン電圧（即ちオフ状態において電流を流し始める電圧）とオン抵抗（即ちオン状態における電流に対する抵抗）である。MOSFETのオン抵抗は、通常、そのセル密度に直接的に影響される。単位面積当たりのセルの数が多ければ、電流が通る総「ゲート幅」（各セルの図縁の周り）も大きくなるからである。MOSFETのブレイクダウン電圧は、各MOSFETセルに於けるソース、ボディ、ドレイン領域の位置及びドーピング濃度に主に依存する。

【0004】このようなMOSFETは、典型的には、高濃度にドーピングされたシリコン基板上に形成された低濃度にドーピングされたエピタキシャル層内に形成される。ゲートの溝は通常エピタキシャル層内へと延在し、しばしば長方形であり、溝の平らな底面はコーナーによって固定されている。このような構造では、MOSFETがターンオフしているとき、電界がゲートの溝のコーナーの近傍で最大となるという問題が生じる。これは、ゲート酸化膜の表面近傍に於けるアバランシェブレイクダウン（なだれ降伏）及び衝突イオン化、それらの結果生じるキャリアの生成に通じ得る。これらのキャリアがシリコンとゲート酸化膜の間の境界部の平均自由行程内で生成される場合、それらは境界部を通過するのに十分なエネルギーを得ることができ、ゲート酸化膜内に注入されるようになる。シリコン/二酸化シリコンのエネルギー障壁を越えることのできるキャリアは、しばしば、「ホットキャリア（hot carrier）」と呼ばれる。ホットキャリアの注入により、ゲート酸化膜が損傷され閾値電圧が変化したり、トランスコンダクタンス（transconductance）またはオン抵抗が変化してMOSFETが損傷されたり破壊されたりすることがあり得る。

【0005】米国特許第5,072,266号明細書には、MOSFETセル内に、溝の底面の下に延在する深い中央部ボディ拡散領域を形成することによってゲート近辺に於けるブレイクダウンを抑制する技術が開示されている。この深い中央部拡散領域によって、ゲートから離れたバルクシリコン内でブレイクダウンが発生するように電界が形成され、ホットキャリアがゲート酸化膜に

とに注意されたい。

【0006】深いP+拡散領域15のドーピング濃度は、チャネル領域（点線で図示、符号17）内のP-ボディ16のドーピング濃度よりも高い。そのため、ゲートの溝と溝の間の距離Y₁をある最小値以上に維持しなければならない。そうしないと、深いP+領域の不純物がチャネル17内に拡散し、デバイスの閾値電圧V_{th}が上昇するからである。Y₁の値は、ゲートの厚みとともに、セル密度を決め、MOSFETのオン抵抗を決定する一助となる。

【0007】非常に低電圧でオン抵抗の小さいパワーMOSFETを製造するため、デバイスの寸法は全体的にスケールダウンされる。特に、セル密度が増加され、エピタキシャル層が薄くされる。エピタキシャル層は、ゲートの溝が高濃度にドーピングされた基板中へと延在し得る程度にまで薄くされる。そのようなMOSFETを図2AにMOSFET20として示す。

【0008】このMOSFETでは全く新たな設計基準が生じる。図2Aを参照されたい。ゲートの溝21のコーナー21CがN+基板13によって取り囲まれているため、これらの場所では電圧は全てゲート酸化膜にかかる。シリコン内で生成されるホットキャリアは少ないが、ゲート酸化膜の強い電界によってデバイスの劣化または損傷が生じ得る。ゲートがソース及びボディと銜合等しい電圧にバイアスされている（即ちデバイスがターンオフしている）ような場合、大きな問題となるのは、溝の底面に位置するゲート酸化膜がデバイスにかかる全電圧を支えなければならないということである。図1の実施例と比較すると、この電圧の一部を吸収するエピタキシャル層が存在していない。

【0009】MOSFET20に対する等化回路を図2Bに示す。ダイオードD₀₁はN-エピタキシャル層14とP-ボディ領域22との間のPN接合を表す。キャパシタC₀₁はゲート酸化膜21Aの静電容量を表す。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、保護領域を有するとともにセル密度の向上された、改善されたトレンチゲートMOSFETを提供することである。

【0011】

【課題を解決するための手段】本発明によるトレンチゲートMOSFETは、基板単体を含む半導体チップ内または上にエピタキシャル層が形成された半導体チップ内

(4)

特開平9-102607

5

【0012】本発明のMOSFETは、ゲートの溝によって固定される複数のセルとして形成される。これらのセルはどのような形とすることもできる。例えば、これらのセルは、正方形または六角形あるいは一連の平行なストライプまたは長方形とすることができる。

【0013】本発明によると、チップ内に第2導電型の保護拡散領域が形成される。それによってエピタキシャル層または基板内の第1導電型の材料との間にPN接合が形成される。このPN接合はダイオードとして働く。金属層によって保護拡散領域（即ちダイオードの一方の端子）はMOSFETセルのソース領域に接続され、それによって、ダイオードはMOSFETセルのチャンネルに対し並列に接続される。

【0014】ある好適実施例では、保護拡散領域は、MOSFETの全体に、選択されたパターンで、全セルの中の適当な幾つかのセルに形成される。

【0015】第2導電型の保護拡散層は、特に溝がエピタキシャル層内へと延在しているような実施形態に於いて、ゲート酸化膜にかかる電圧を低減し、溝のコーナーにおける電界を弱め、溝の近傍で発生するホットキャリアを制限するように働く。ダイオードは、特に溝が基板内へと延在しておりゲート酸化膜がMOSFETにかかる全電圧を支えなければならないような実施形態に於いて、電圧クランプとして働きゲート酸化膜にかかる電圧を制限する。

【0016】ある好適実施例では、保護拡散領域を含むセル（“ダイオードセル”）は、選択された数のアクティブMOSFETセル（“アクティブセル”）に対し一つというようにして、MOSFETの全体に反復的なパターンで設けられる。アクティブセル当たりのダイオードセルの数は、MOSFETの設計基準に基づいて定められる。一般に、例えば、より頻繁にブレークダウンすると予測されるMOSFETは、より多くの割合でダイオードセルを必要とする。

【0017】また、このダイオードセルは、ボディダイオードが順方向に導通するようにMOSFETが動作しているとき、ドレインからボディへのダイオード電流の大部分を担う。このような動作（Nチャンネルデバイスに対する第3象限動作と呼ばれる）は、インダクタまたはモータがブッシュブルまたはブリッジ構造のMOSFET対によって駆動される場合に一般的に発生する。アクティブセルに大きなダイオード電流が流れることは、少数キャリアの蓄積に導くため好ましくない。少数キ

6

【発明の実施の形態】本発明の第1実施例を図3に示す。トレンチゲートMOSFET30は、N+基板13の上面に形成されたN-エピタキシャル層14内に形成されている。溝32内に形成されたゲート31は、酸化膜31Aによって半導体材料から分離されている。また、MOSFET30のセル35は、P-ボディ領域33、浅いP+コンタクト領域33A、及びN+ソース領域34を含んでいる。金属層36はP-ボディ領域33とN+ソース領域34に接触し、それらを短絡している。

【0019】N+基板13はMOSFET30のドレインとして働き、底面から接触することができる。別の形態として、N+基板の代わりに埋め込みN+層をドレインとして用い、このドレインに、例えばN+シンカー領域（sinker region）及び上面コンタクトのような手段によって、構造の上面側から接触することもできる。

【0020】隣接するセル37内には深い保護P+拡散領域38が形成されている。拡散領域38はN-エピタキシャル層14との間にPN接合を形成している。金属層36は保護拡散領域38に接触しており、それによって、PN接合39はセル35のチャンネルに並列に接続されたダイオードとなっている。

【0021】保護拡散領域38は溝32のコーナー近辺に於ける電界強度及びそれによって生じるキャリアの生成を制限する働きをし、それによってMOSFETセル35では深い中央拡散領域が不要となっている。中央部の深いP+拡散領域がないため、MOSFETセル35の寸法は大幅に低減することができ、MOSFET30のセル密度を大幅に向上することが可能となっている。例えば、N+ソース領域34の各側の幅は約1.0 μ mにまで減少させることができ、P-ボディ33用のP+コンタクト領域と金属層36との間のコンタクトの幅は約1.0 μ mにまで減少させることができる。従って、溝31間の全幅は3.5 μ mのオーダーとすることができる。実用では、溝31間の全幅は5.0 μ mに設定することができる。この値が、深い中央部拡散領域を含むMOSFETセル（図1参照）に対する最小幅である約8.0 μ mに対する。

【0022】図4Aは、図2Aに示したセルに似たMOSFETセル41を含むMOSFET40を図示している。即ち、溝43はN-エピタキシャル層14を通り抜けてN+基板13内へと伸びており、セル41は中央部の深いP+拡散領域を含んでいない。隣接するセル42

(5)

特開平9-102607

7

ート45とN+基板13の間の(即ち、ゲート酸化膜45Aにかかる)電圧が重要なファクタとなっている。このような配置は図4Bに於いてキャパシタ C_{ox} によって表されている。P-ボディ領域22とN-エピタキシャル層14の間のPN接合はダイオード D_{ox} によって表されており、P+拡散領域44とN+基板13の間のPN接合はダイオード $D_{p,n}$ によって表されている。図示されているように、ダイオード D_{ox} と $D_{p,n}$ は両方ともMOSFETセル41のチャネルに対し並列に接続されている。

【0024】図5は、図1に示した従来のMOSFET 10の上面図である。保護用の深いP+領域15は各正方形セルの中央に示されており、N+ソース領域12とゲート11によって取り囲まれている。図5には4つの完全なセルが図示されている。

【0025】図6は、図3に示したMOSFET 30の上面図である。図4Aに示したMOSFET 40の上面図も同様のものとなる。保護P+領域が各セルの中央部からなくなっているためセルの寸法は小さくなっている。P+拡散領域を含むセル(しばしば“ダイオードセル”と呼ばれる)も示されている。図6では、1個のダイオードセルがアクティブMOSFETセル8個(合計セル9個)毎に設けられている。

【0026】図7は、図6に示したセルの中の3つのセル(2つはアクティブMOSFETセルであり、1つはダイオードセルである)の、より詳細な上面図である。この図で、 Y_c はトレンチゲート間の距離を表し、 Y_g は溝の断面幅を(ゲート幅 W と視同しないように)表す。 n 個のセルにつき1つのダイオードセルが有るとすると、 n 個のセルの全面積 A は次の式によって与えられる。

【0027】

$$A = (Y_c + Y_g)^2 + (n-1)(Y_c + Y_g)^2 \\ = n(Y_c + Y_g)^2$$

【0028】これらのセルのうち $(n-1)$ 個がアクティブMOSFETセルであるため、 n 個のセルに於ける総ゲート幅 W は、

$$W = 4Y_g(n-1)$$

となる。

【0029】従って、幅に対する面積の比(ゲート幅 W がどれだけ効率的に面積 A 内に詰め込まれるかを表す指数) A/W は、

$$A/W = \{(Y_c + Y_g)^2 / 4Y_g\} \times \{n / (n-1)\}$$

8

つれ1に近づく。この代償は、デバイスのセル密度の増加によって得られる総ゲート幅(従って電流容量)の増加によって埋め合わされる。一般に、 n は、予期されるMOSFETのブレイクダウン頻度によって決定される。通常、より頻繁にブレイクダウンすると予期されるデバイスは、より小さな n を必要とする。即ちセルの総数に対し、より多くのダイオードセルが必要となる。極端な場合、2つに1つのセルが非アクティブ(即ちダイオード)セルの場合、 $n=2$ 、 $n/(n-1)=2$ であり、この構造の利点は幾分か制限されてしまう。一方、セル21個につき1つしかダイオードセルがない場合、 $n=21$ 、 $n/(n-1)=21/20$ であり、実質的にダイオードに対する代償はない。

【0031】結論として、パーティクルトレンチFET内に非アクティブの深いP+セルを規則的に分布させて含ませることにより、トレンチゲートの近傍またはコーナーに於けるキャリアの生成及び電界を制限する電圧クランプ作用が得られる。従って、電気的なストレスが過度に存在する場合に於けるデバイスの信頼性及び耐久性が、オン抵抗またはセル密度を制限することなく向上される。深いP+領域は溝のエッジまで延在する必要はなく、所望に応じてそのセルの幾何学的大きさより小さく作ることもできる。溝がN+基板と重なっており、深いP+領域とN+基板との間にPINダイオードが形成され得るような場合(図11参照)、深いP+領域は溝の下まで延在する必要はない。PINダイオード(例えば図11のダイオードD2)のブレイクダウン電圧を中間または“固有”領域の幅及びドーピング濃度の関数として表すグラフが、“S.M.Sze,「Physics of Semiconductor Devices」, Second Edition, John Wiley & Sons (1981), p.105, Fig.32”に示されている。この文献は本出願に引証として加えられる。

【0032】図8は、セルがストライプ状に形成された別の形態のMOSFETの上面図である。MOSFET 80では、セル81、82、83及び84がアクティブMOSFETセルであり、セル85が保護P+拡散領域86を含むダイオードセルである。セル81乃至84の各々は、P+コンタクト領域87及びN+ソース領域88を含んでいる。コンタクトホール89(そのうち2つが図8に示されている)は、金属層(図示せず)によって、各MOSFETセル81乃至84内のP+領域87及びN+ソース領域88と、ダイオードセル85内のP+領域86を接続させるのに用いられる。コンタクトホ

(5)

特開平9-102607

9

ートが基板内へと延在しており、ゲートと基板の間の全電圧が溝の底部のゲート酸化膜にかかるような実施態様に於いて生じる。二酸化シリコンは、約 8 MV/cm の電界に耐えることができる。安全ファクタとして50%を用い、ゲート酸化膜の両端に加えることのできる最大電圧として $X_{ox} \cdot 4\text{ MV/cm}$ が本業界では考慮されている。ここで X_{ox} はゲート酸化膜の厚さを cm で表したものである。従って、保護P+拡散領域によって形成されるダイオードのブレイクダウン電圧は、 $X_{ox} \cdot 4\text{ MV/cm}$ より大きくないことが望ましい。例えば、400 Aの厚さを有する酸化膜の場合、酸化膜は約32 Vで破壊されるが、信頼できる動作条件として、最大電圧は16 Vに制限されるべきである。

【0034】図9乃至図11は本発明に基づく幾つかの別の実施態様の断面図である。図9は、溝がN+基板13内にまで延在するMOSFET 92を表している。MOSFETセル93内には薄いN-エピタキシャル層が残っており、一方ダイオードセル94内では保護P+拡散領域がN+基板13の上面に達している。図10に示すMOSFET 100では、MOSFETセル101内のP-ボディ領域がN+基板13の上面にまで延在しており、エピタキシャル層14のN-ドーピング領域は残っていない。図11に示すMOSFET 110では、P-またはN-にドーピングされた薄いエピタキシャル層14が各MOSFETセル111及びダイオードセル112内に残っている。

【0035】図9乃至図11に於いて、ダイオードD1はMOSFETセル内のPN接合を表しており、ダイオードD2は保護ダイオードセル内のPN接合を表している。また、キャパシタC1はゲート及びN+基板に接触したゲート酸化膜を表している。これらの3つの場合の全てに於いて、 $BV_{D1} < 50\% \cdot BV_{D2}$ の関係が保たれるべきである。ここで BV_{D1} はダイオードD2のブレイクダウン電圧であり、 BV_{D2} はキャパシタC1のブレイクダウン電圧である。また、ダイオードD2のブレイクダウン電圧は各場合に於いてダイオードD1のブレイクダウン電圧より小さい。

【0036】図12に示すMOSFET 120は、図2Aに示した従来のMOSFETに類似しているように見える。ダイオードD1は、浅いP+コンタクト領域、P-ボディ及びN+基板の組合せによって各MOSFETセルの中央部に形成されるPINダイオードを表している。MOSFET 120では、PINダイオードD1の

10

【0037】別の実施態様を図13及び図14に示す。図13は図14の上面図において示されているラインXI-XIIAに沿って取られた断面図である。MOSFET 130は、セル121を含むと共に、深いP+領域132を含むより幅の広いセル131も含んでいる。深いP+領域132は、セル121内のゲート酸化膜に対し保護機能を発揮すると同時に、N+ソース領域133を有しており、それ自身アクティブMOSFETセルとして働く。従って、セル131はMOSFETの全体的なセル密度を低下させるが、オン抵抗に関する代償の程度は、セル131が保護機能のみを果たし電流を担わない場合に較べて軽い。図12のMOSFET 120と同様に、通常、セル121は深い保護P+領域が各セル内に含まれている場合と較べてより小さい。

【0038】本発明に基づくMOSFETの製造プロセスは数多くあるが、図15乃至図19に図3に示したMOSFET 30の製造プロセスの一例を示す。

【0039】図15を参照されたい。製造プロセスは、上にN-エピタキシャル層14が公知のプロセスを用いて形成された従来のN+基板13から始まる。

【0040】厚い酸化膜130を成長させ、マスクしてエッチングし、深いP+領域38が形成されるべき部分の上面に薄い酸化膜131を成長させる。続いて、薄い酸化膜131を通して、ドーズ量 1×10^{17} 乃至 $7 \times 10^{17} \text{ cm}^{-2}$ 、エネルギー60乃至100 KeVで、深いP+領域38を注入により形成する。結果として得られる構造を図15に示す。酸化膜130及び131はその後取り除く。

【0041】このプロセスの1バージョンでは、厚い酸化膜132を成長させた後、深いP+領域38の上を除いてフォトマスクにより除去し、更に、薄い酸化膜133を成長させる。薄い酸化膜133をマスクし、図16に示すように、溝を形成すべき部分から除去する。続いてマスク及び公知の反応性イオンまたはプラズマドライエッチングを用いてエッチングし、溝を形成する。これらの溝を酸化してゲート酸化膜31Aを形成した後、ポリシリコンを溝の上面からあふれるまで溝内に堆積させる。続いてドーズ量 5×10^{17} 乃至 $5 \times 10^{18} \text{ cm}^{-2}$ 、エネルギー60 keVでのイオン注入またはPOCI₃ブリドポジションによって、ポリシリコンに溝をドーピングし、シート抵抗として20乃至70 Ω/\square を得る。Pチャネルデバイスの場合は、ポリシリコンにはイオン注入によりボロンがドーピングされ、シート抵抗は概ね

(7)

特開平9-102607

11

する) ことにより、P-ボディ33を形成する。Pチャネルデバイスを製造するときも同様の方法を用いることができるが、そのときは不純物を燐にする。結果として得られる構造を図17に示す。

【0043】続いてマスク及び砒素のイオン注入によってN+ソース領域34を形成する(Pチャネルデバイスに対してはボロンイオンを注入する)。このイオン注入はドーズ量 5×10^{14} 乃至 $1 \times 10^{15} \text{ cm}^{-2}$ 、エネルギー20乃至100 keVで行う。結果として得られる構造を図18に示す。

【0044】N+ソース領域38を形成した後、新たなマスクを形成し、P-ボディを接続するのに用いられる浅いP+領域33Aをイオン注入により形成する。このイオン注入はドーズ量 1×10^{17} 乃至 $5 \times 10^{14} \text{ cm}^{-2}$ 、エネルギー20乃至80 keVで行う。別の方法として、図19に示すように、N+ソース領域/P+コンタクト領域及び深いP+領域に対するコンタクトホールを形成するのに用いるのと同じマスクを通してP型不純物を注入することにより、浅いP+領域33Aを形成することもできる。この方法では若干のP型不純物がN+ソース領域34に注入されるが、その量はN+ソース領域のN型イオンの濃度に影響を与えるほど多くはない。

【0045】その後、薄い酸化膜を熱酸化により形成する。続いてボロフォスホシリケートガラス(Borophosphosilicate glass: BPSG)を構造の表面に被着させる。BPSGは一時的に850℃乃至950℃に加熱され滑らかに流れて、ダイの表面形状を平坦にする。エッチングによって酸化膜及びBPSG層にコンタクトホールを形成した後、金属層36を被着し、コンタクトホールを通してソースとボディ領域と深いP+領域を接続する。こうして図3に示したMOSFET30が形成される。

【0046】その後ダイをSiNまたはBPSGによって被覆保護し、ボンディングを容易にするためのパッドマスク窓(pad mask window)をエッチングにより形成する。

【0047】上述した実施例は例示的なものであり限定的なものではない。当業者には本発明の広い範囲に基づく様々な別の実施態様が明らかであろう。

【図面の簡単な説明】

【図1】 溝のコーナーに於ける電界を低減するための深い中央部拡散領域を含む従来のトレンチゲートMOSF

12

【図4】 A及びBからなり、Aは溝が基板内にまで延在しており、隣接するMOSFET内に保護拡散領域を含む本発明に基づく第2実施例の断面図であり、Bは図4AのMOSFETに対する等価回路である。

【図5】 従来のMOSFETセルの上面図である。

【図6】 本発明に基づくセルが正方形のMOSFETの上面図である。

【図7】 図6のセルが正方形のMOSFETの詳細な上面図である。

10 【図8】 本発明に基づくセルがストライプ状のMOSFETの上面図である。

【図9】 本発明に基づく第2実施例の別の断面図である。

【図10】 本発明に基づく第3実施例の断面図である。

【図11】 本発明に基づく第4実施例の断面図である。

【図12】 本発明に基づく第5実施例の断面図である。

【図13】 広い保護用セルを含む第6実施例の断面図である。

20 【図14】 広い保護用セルを含む第6実施例の上面図である。

【図15】 図3に示したMOSFETの製造プロセスを説明するための図である。

【図16】 図3に示したMOSFETの製造プロセスを説明するための図である。

【図17】 図3に示したMOSFETの製造プロセスを説明するための図である。

【図18】 図3に示したMOSFETの製造プロセスを説明するための図である。

30 【図19】 図3に示したMOSFETの製造プロセスを説明するための図である。

【符号の説明】

- 10 MOSFETセル
- 11 ゲート(トレンチゲート)
- 12 N+ソース領域
- 13 N+基板(ドレイン)
- 14 N-エピタキシャル層(N-Epi)
- 15 深いP+拡散領域
- 16 P-ボディ
- 17 チャネル領域
- 40 20 MOSFET
- 21 溝
- 21A ゲート酸化膜
- 21C 溝のコーナー

(8)

特開平9-102607

13

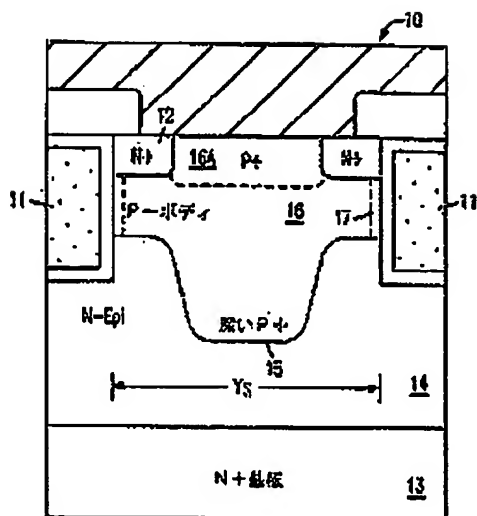
34 N+ソース領域
35 MOSFETセル
36 金属層
37 ダイオードセル
38 深いP+拡散領域
39 PN接合
40 MOSFET
41 MOSFETセル
42 ダイオードセル
43 溝
44 P+拡散領域
45 ゲート
45A ゲート酸化膜
80 MOSFET
81~84 MOSFETセル
85 ダイオードセル
86 保護P+拡散領域
87 P+コンタクト領域
88 N+ソース領域
89 コンタクトホール
90 コンタクトホール
91 ゲート
92 MOSFET

14

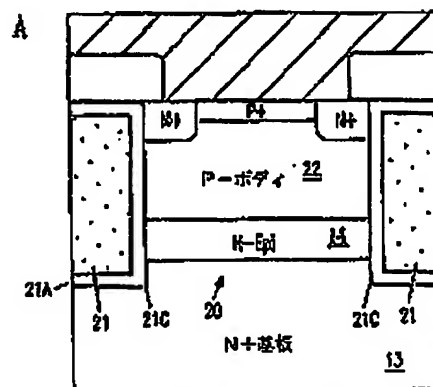
* 93 MOSFETセル
94 ダイオードセル
100 MOSFET
101 MOSFETセル
110 MOSFET
111 MOSFETセル
112 ダイオードセル
120 MOSFET
121 MOSFETセル
10 130 MOSFET
131 MOSFETセル
132 深いP+領域
133 N+ソース領域
C1 キャパシタ
C₄₀ キャパシタ
D1 ダイオード
D2 ダイオード
D₀₁ ダイオード
D_{F, on} ダイオード
20 V_{cc} デバイスの閾値電圧
Y₁ ゲートの溝と溝の間の距離
Y₀ 溝の断面幅

✱

【图 1】



【圖2】

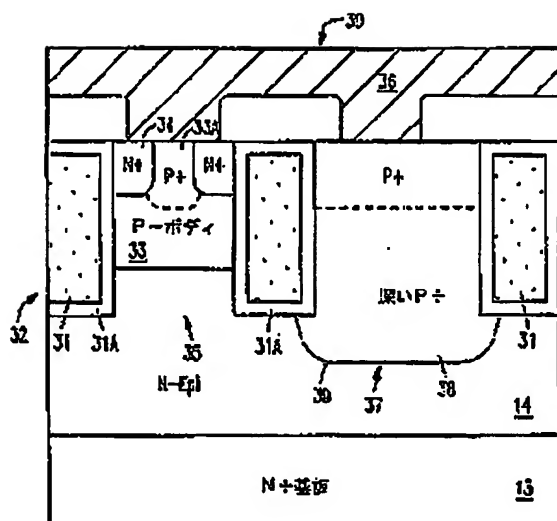


B

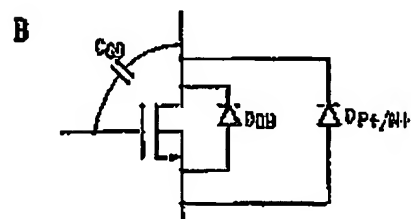
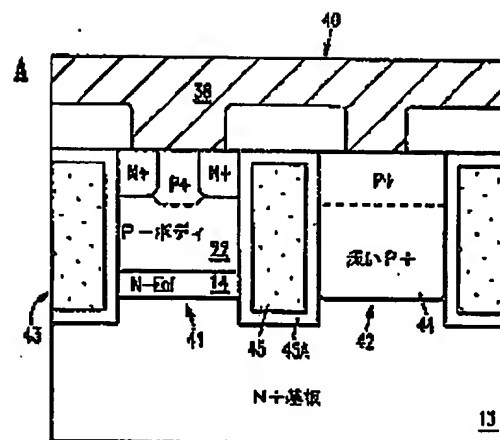
(9)

特関平9-102607

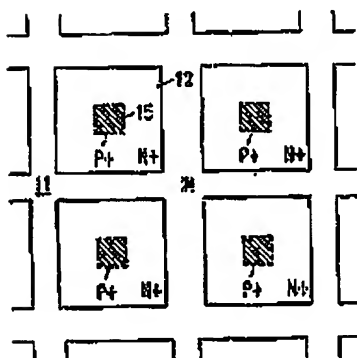
【圖3】



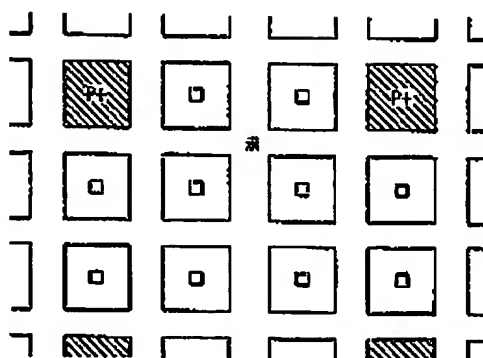
【图4】



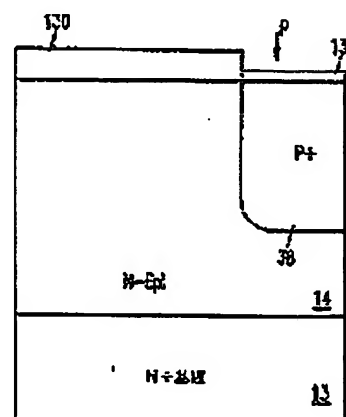
【圖5】



【図6】



【图 15】



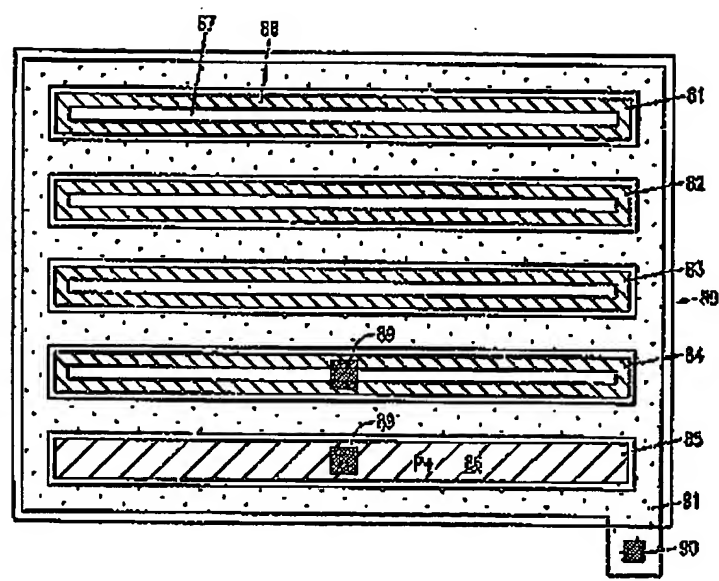
【圖 7】



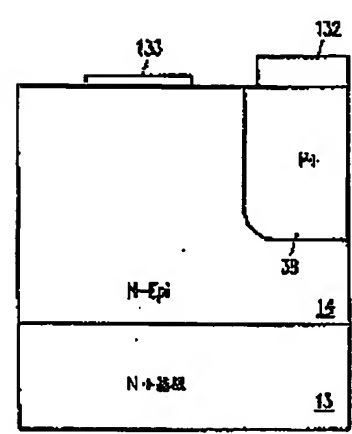
(10)

特開平9-102607

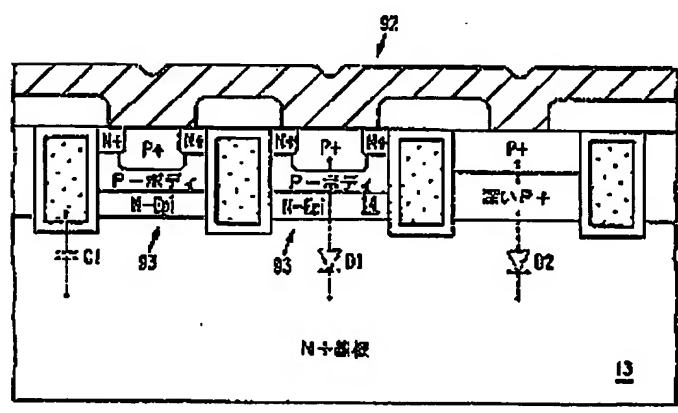
【図8】



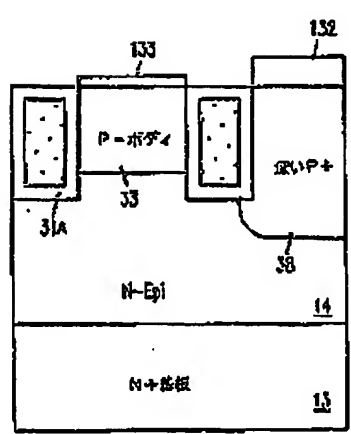
【図16】



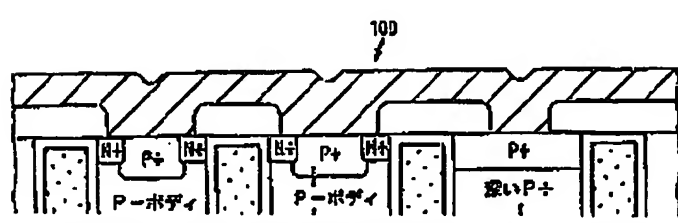
【図9】



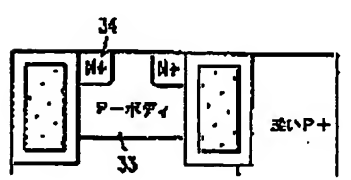
【図17】



【図10】



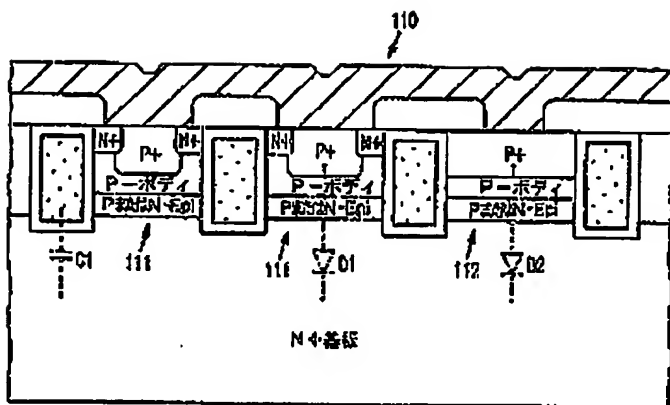
【図18】



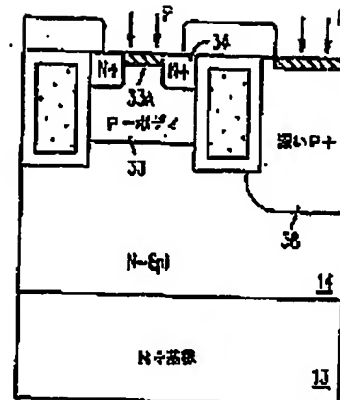
(11)

特開平9-102607

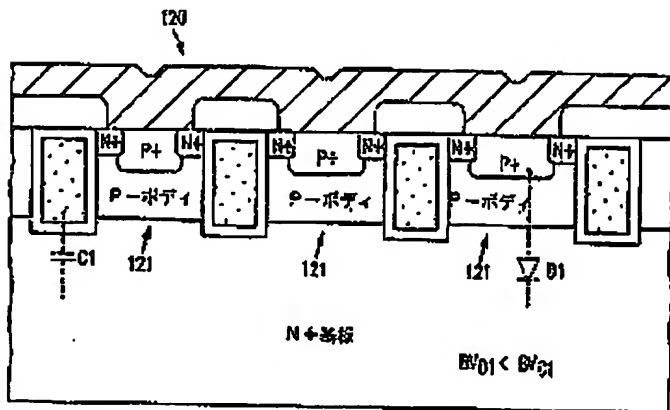
【図11】



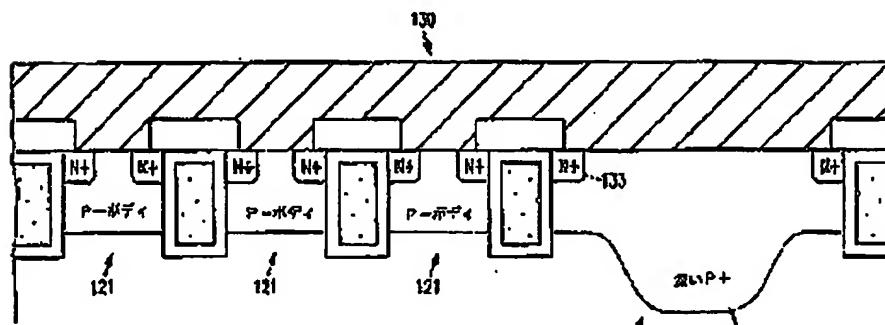
【図19】



【図12】



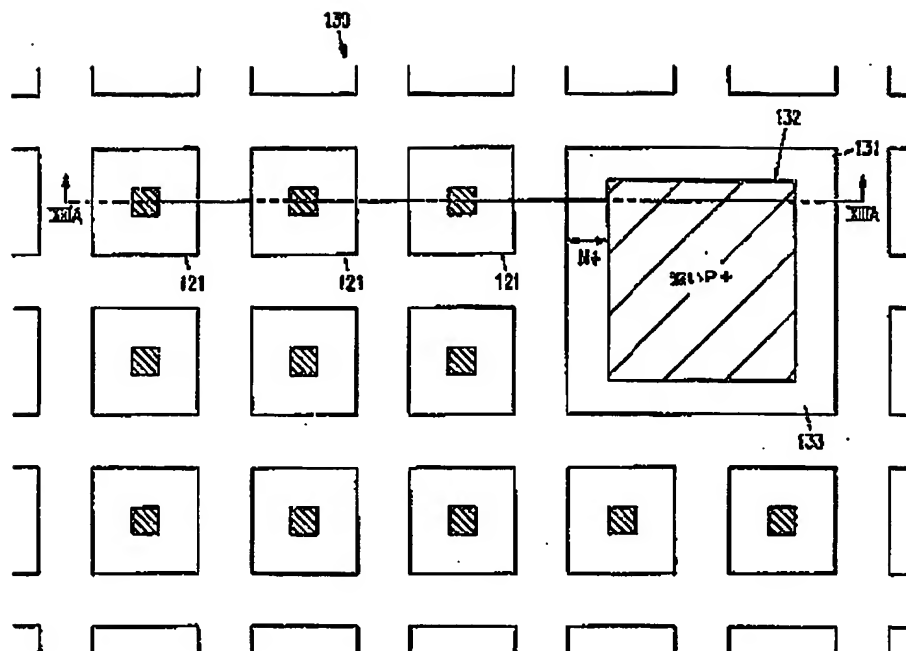
【図13】



(12)

特開平9-102607

【図14】



【手続補正書】

【提出日】平成8年10月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】保護拡散領域38は溝32のコーナー近辺に於ける電界強度及びそれによって生じるキャリアの生成を制限する働きをし、それによってMOSFETセル35では深い中央拡散領域が不要となっている。中央部の深いP+拡散領域がないため、MOSFETセル35の寸法は大幅に低減することができ、MOSFET30のセル密度を大幅に向上することが可能となっている。例えば、N+ソース領域34の各側の幅は約1.0μmにまで減少させることができ、P-ボディ33用のP+コンタクト領域と金属層36との間のコンタクトの幅は約1.0μmにまで減少させることができる。従って、溝32間の全幅は3.5μmのオーダーとすることができる。実用では、溝32間の全幅は5.0μmに設定す

【補正内容】

【0040】厚い酸化膜140を成長させ、マスクしてエッチングし、深いP+領域38が形成されるべき部分の上面に薄い酸化膜141を成長させる。続いて、薄い酸化膜141を通して、ドーズ量 1×10^{14} 乃至 $7 \times 10^{15} \text{ cm}^{-2}$ 、エネルギー60乃至100KeVで、深いP+領域38を注入により形成する。結果として得られる構造を図15に示す。酸化膜140及び141はその後取り除く。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】このプロセスの1バージョンでは、厚い酸化膜142を成長させた後、深いP+領域38の上を除いてフォトマスクにより除去し、更に、薄い酸化膜143を成長させる。薄い酸化膜143をマスクし、図16に示すように、溝を形成すべき部分から除去する。続く

(13)

特開平9-102607

ドーピングし、シート抵抗として20乃至70Ω/□を得る。Pチャネルデバイスの場合は、ポリシリコンにはイオン注入によりボロンがドーピングされ、シート抵抗は概ね40乃至120Ω/□となる。マスクによって保護されたところを除いてポリシリコンを溝の表面と平坦になるまでエッチバックし、その後金属と接触できるようにする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】続いて薄い酸化膜143を通してイオン注*

*入する（例えば、ドーパ量 1×10^{13} 乃至 $4 \times 10^{14} \text{ cm}^{-2}$ 、エネルギー40乃至100keVでボロンを注入することにより、P-ボディ33を形成する。Pチャネルデバイスを製造するときも同様の方法を用いることができるが、そのときは不純物を焼にする。結果として得られる構造を図17に示す。

【手続補正5】

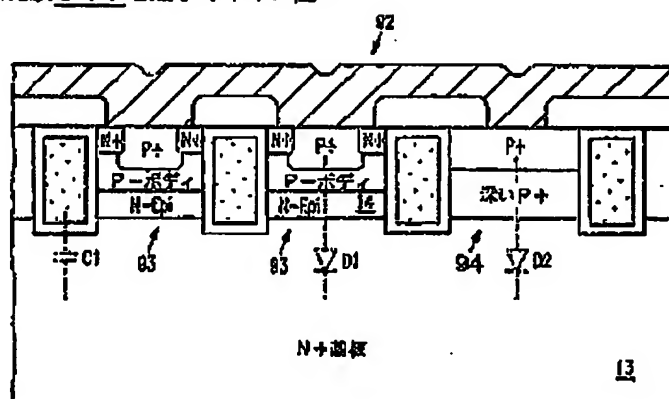
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】



【手続補正6】

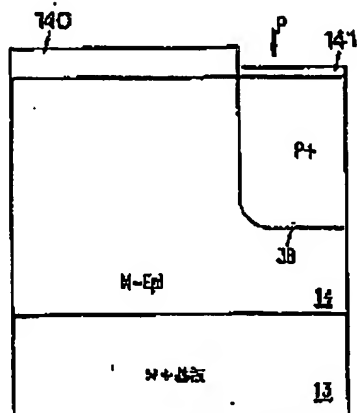
【補正対象書類名】図面

【補正対象項目名】図15

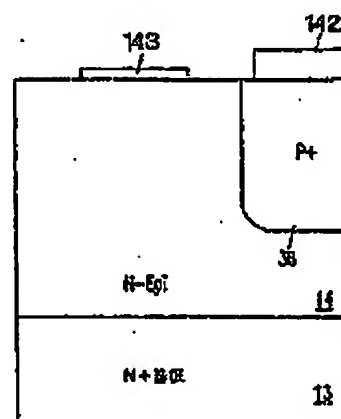
【補正方法】変更

【補正内容】

【図15】



【手続補正7】



【手続補正8】

【補正対象書類名】図面

【補正対象項目名】図17

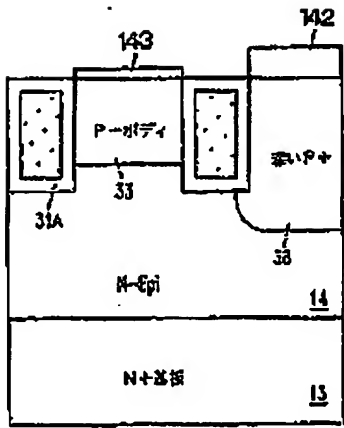
【補正方法】変更

【補正内容】

【図17】

(14)

特開平9-102607



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-102607

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

H01L 29/78
// H01L 29/866

(21)Application number : 08-160633

(71)Applicant : SILICONIX INC

(22)Date of filing : 31.05.1996

(72)Inventor : WILLIAMS RICHARD K

(30)Priority

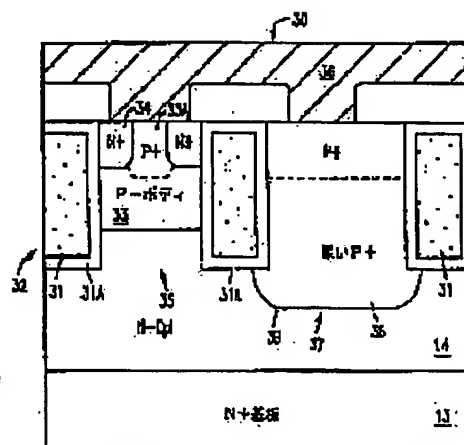
Priority number : 95 459555 Priority date : 02.06.1995 Priority country : US

(54) TRENCH GATE POWER MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an improved trench gate MOSFET, which has a protective diffusion region and in which cell density is increased.

SOLUTION: A trench gate power MOSFET contains a semiconductor material, gates 31 arranged into trenches formed to the surface of the semiconductor material and a protective diffusion region. A plurality of MOSFET cells 35 are demarcated by the trenches, each of the MOSFET cells 35 comprises first conductivity source regions 34 and second conductivity body regions 33 adjoined to the source regions, the source regions 34 and the body regions 33 are brought into contact with the side faces of the trenches, the protective diffusion region is formed in a second conductivity, diodes 37 are formed while being adjoined to the first conductivity regions, and the diodes 37 are connected in parallel with each channel region of the MOSFET cells 35.



LEGAL STATUS

[Date of request for examination] 24.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number] 2988871

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office